



Attorney Docket No.: 04329.3266
Customer Number 22,852

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Tatsuhiko SHIRAKAWA et al.

Serial No.: 10/796,029

Filed: March 10, 2004

For: **SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD FOR THE SAME**

Group Art Unit: **2812**

Examiner: Not Yet Assigned

**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

Sir:

CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. § 119, applicants hereby claim the benefit of the filing date of Japanese Patent Application No. 2004-003567, filed January 9, 2004, for the above-identified U.S. patent application.

In support of this claim for priority, enclosed is one certified copy of the priority application.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: July 2, 2004

By:

Richard V. Burgujian
Reg. No. 31,744

RVB/FPD/sci
Enclosures

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 月 9 日

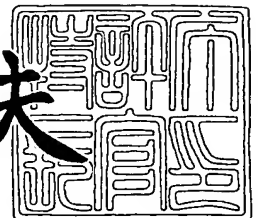
出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 0 3 5 6 7
[ST. 10/C]: [J P 2 0 0 4 - 0 0 3 5 6 7]

出 願 人
Applicant(s): 株式会社東芝

2 0 0 4 年 3 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000300946
【提出日】 平成16年 1月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 白河 達彦
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 杉崎 吉昭
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

少なくとも 1 個の半導体素子が一方の主面上に搭載されるとともに、前記半導体素子が電氣的に接続される第 1 の接続部が前記主面上に複数個設けられており、かつ、前記主面上の前記半導体素子が搭載される領域の外側に第 2 の接続部が複数個設けられている第 1 の基材と、

この第 1 の基材の前記半導体素子が搭載される側とは反対側の主面に対向して配置されるとともに、前記第 1 の基材がその縁部を接着されて搭載されており、かつ、前記各第 2 の接続部のうちの少なくとも 1 個が電氣的に接続される第 3 の接続部が、前記第 1 の基材に対向する側の主面の前記第 1 の基材が搭載される領域の外側に複数個設けられている第 2 の基材と、

を具備することを特徴とする半導体装置。

【請求項 2】

前記第 1 の基材の前記半導体素子が搭載される領域の反対側の領域と前記第 2 の基材とが離間されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の基材の前記半導体素子が搭載される領域の反対側の領域と前記第 2 の基材とが、弾性率が 3.2 MPa 以下の接着材により接着されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記半導体素子は、その厚さが 0.15 mm 以下であることを特徴とする請求項 1～3 のうちのいずれかに記載の半導体装置。

【請求項 5】

前記各第 2 の接続部のうち前記第 3 の接続部に接続される第 2 の接続部が、その他の第 2 の接続部よりも外側に設けられていることを特徴とする請求項 1～4 のうちのいずれかに記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体素子の実装技術に係り、特に半導体素子が直接または間接的に搭載される基材の配線構造、および半導体素子と基材または基材同士の接続構造に関する。

【背景技術】

【0002】

半導体素子（半導体チップ）が直接または間接的に搭載される基材（基板）の配線構造に関する技術が、今までに幾つか提案されている（例えば、特許文献1～3参照）。

【0003】

一般的な半導体装置では、両主面上に配線が形成された両面配線基板の一方の主面（チップ搭載面）上に半導体チップが直接搭載されている。基板のチップ搭載面上には、半導体チップが電氣的に接続されるチップ接続配線が複数本形成されている。各チップ接続配線には、半導体チップが備える複数個の電極パッドに対応するチップ接続パッドが形成されている。半導体チップは、各電極パッドを各チップ接続パッドに接合されて、各チップ接続配線に電氣的に接続される。基板の他方の主面（チップ非搭載面）上には、半導体チップを他の基板や電気部品等に電氣的に接続するための外部配線（外部端子）が形成されている。

【特許文献1】特開平7-115112号公報

【特許文献2】特開平8-70024号公報

【特許文献3】特開平9-129673号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前述した配線構造を有する配線基板では、半導体チップと配線基板との接続密度が高くなるので、配線基板の微細化および多層化を図る必要が生じ易い。また、配線基板の両主面上に配線または端子を形成する必要がある。このため、配線基板の製造コストが高くなり易い。ひいては、このような配線基板を備える半導体装置の製造コストが高くなり易い。また、前述した半導体チップと配線基板との接続方法では、それらの間の熱膨張率差により、半導体チップと配線基板との接続部や半導体チップの表面等に大きな応力が掛かり易い。特に、半導体チップ内の層間絶縁膜に脆弱なLow-k膜を用いる場合、半導体チップに掛かる応力により、層間絶縁膜の剥離等の致命的な不良が生じるおそれが高い。すなわち、半導体装置の耐久性、信頼性、性能、および品質等が劣化するおそれが高い。

【0005】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、半導体素子が直接または間接的に搭載される基材の配線構造および各基材間の接合方法を改良することにより、耐久性等が向上されているとともに、低コストで容易に製造できる半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の一態様に係る半導体装置は、少なくとも1個の半導体素子が一方の主面上に搭載されるとともに、前記半導体素子が電氣的に接続される第1の接続部が前記主面上に複数個設けられており、かつ、前記主面上の前記半導体素子が搭載される領域の外側に第2の接続部が複数個設けられている第1の基材と、この第1の基材の前記半導体素子が搭載される側とは反対側の主面に対向して配置されるとともに、前記第1の基材がその縁部を接着されて搭載されており、かつ、前記各第2の接続部のうちの少なくとも1個が電氣的に接続される第3の接続部が、前記第1の基材に対向する側の主面の前記第1の基材が搭載される領域の外側に複数個設けられている第2の基材と、を具備するものである。

【発明の効果】**【0007】**

本発明に係る半導体装置によれば、少なくとも1個の半導体素子が一方の主面上に搭載される第1の基材が、その縁部を接着されて第2の基材に搭載されているので、耐久性等が向上されているとともに、低コストで容易に製造できる。

【発明を実施するための最良の形態】**【0008】**

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

【0009】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1を参照しつつ説明する。図1は、本実施形態に係る半導体装置を示す断面図である。

【0010】

本実施形態は、半導体装置の構造に係り、特に薄肉の半導体素子が直接または間接的に搭載される基材の配線構造および各基材間の接合方法に関する。以下、詳しく説明する。

【0011】

図1に示すように、本実施形態の半導体装置1においては、少なくとも1個の半導体素子(半導体チップ)2に対して、第1の基材3および第2の基材4の2枚の基材を用いる。半導体チップ2は、その厚さが約0.15mm以下の薄肉形状に形成されている。半導体チップ2の素子形成面2aには、半導体チップ2を第1の基材3に電氣的に接続して搭載するための端子(電極パッド)5が複数個設けられている。

【0012】

半導体チップ2は、第1の基材(第1の配線基板)としての第1のチップ搭載基板3の一方の主面であるチップ搭載面3a上に搭載されている。本実施形態では、チップ搭載面3aの中央部が、半導体チップ2が搭載されるチップ搭載領域6として設定されている。チップ搭載領域6には、半導体チップ2の各電極パッド5と電氣的に接続される第1の接続部(チップ接続パッド)7が、各電極パッド5に対応して複数個設けられている。半導体チップ2の各電極パッド5と第1のチップ搭載基板3の各チップ接続パッド7とは、導電性を有する接合部材(半田バンプ)8により接合されている。すなわち、半導体チップ2は、本実施形態においては、第1のチップ搭載基板3にフリップチップ接続されている。半導体チップ2は、その素子形成面2aを第1のチップ搭載基板3のチップ搭載面3aに向けられた、いわゆるフェイスダウン状態で第1のチップ搭載基板3に搭載されている。

【0013】

チップ搭載面3aのチップ搭載領域6の外側には、半導体チップ2を外部に電氣的に接続するための第2の接続部9が複数個設けられている。それら各第2の接続部9のうちの幾つかは、後述する第2の基材4に設けられている第3の接続部10に電氣的に接続されている。各第2の接続部9のうち、第3の接続部10に接続される第2の接続部9aは、第1のチップ搭載基板3の縁部3bに設けられている。以下の説明において、これら第3の接続部10に接続される第2の接続部を、第1の基板接続パッド9aと称することとする。また、各第2の接続部9のうち、第1の基板接続パッド9aを除く第2の接続部9bは、図示しない実装基板や受動部品等の外部の電気部品等に電氣的に接続される。以下の説明において、これら外部の電気部品等に接続される第2の接続部を、外部接続パッド(外部端子)9bと称することとする。これら各外部接続パッド9bは、チップ搭載面3a上において、そのチップ搭載領域6である中央部と第1の基板接続パッド9aが配置されている縁部3bとの間に配置されている。

【0014】

なお、各チップ接続パッド7、各第1の基板接続パッド9a、および各外部接続パッド9bは、それぞれ第1のチップ搭載基板3のチップ搭載面3a側に所定のパターンで形成された図示しない複数本の配線の一部である。また、第1のチップ搭載基板3の他方の主

面は、半導体チップ2等が搭載されないチップ非搭載面3cとして設定されている。このチップ非搭載面3c側には、配線や端子(パッド)等は一切形成されていない。それとともに、第1のチップ搭載基板3には、それを厚さ方向に沿って貫通してチップ搭載面3aとチップ非搭載面3cとに連通する内部配線も、一切設けられていない。すなわち、第1のチップ搭載基板3は、いわゆる片面配線基板である。

【0015】

半導体チップ2が搭載された第1のチップ搭載基板3は、第2の基材(第2の配線基板)4の一方の主面である基板搭載面4a上に搭載されている。すなわち、第2の基材4は、半導体チップ2が第1のチップ搭載基板3を介して間接的に搭載される第2のチップ搭載基板である。第2のチップ搭載基板4は、第1のチップ搭載基板3よりも大きく形成されている。第2のチップ搭載基板4は、その基板搭載面4aを第1のチップ搭載基板3のチップ非搭載面3cに対向して配置されている。第1のチップ搭載基板3は、第2のチップ搭載基板4の中央部上に位置するように配置されている。より詳しくは、第1のチップ搭載基板3は、これに搭載されている半導体チップ2が第2のチップ搭載基板4の基板搭載面4aの中央部上に位置するように配置されている。

【0016】

また、第1のチップ搭載基板3は、その縁部3bのみを接着材(接着樹脂)11により基板搭載面4aに接着されて第2のチップ搭載基板4に搭載されている。本実施形態においては、第1のチップ搭載基板3は、そのチップ搭載領域6の反対側(裏側)の領域を、基板搭載面4aから離間されて第2のチップ搭載基板4に搭載されている。より詳しくは、第1のチップ搭載基板3は、そのチップ非搭載面3cを基板搭載面4aから全面的に離間されて第2のチップ搭載基板4に搭載されている。

【0017】

前述したように、第1のチップ搭載基板3と第2のチップ搭載基板4との接続に用いられる各第1の基板接続パッド9aは、第1のチップ搭載基板3の縁部3bに設けられている。すなわち、図1に示すように、各第1の基板接続パッド9aと接着材11とは、第1のチップ搭載基板3を間に挟んで互いに対向する位置に設けられている。また、後述するように、第1のチップ搭載基板3と第2のチップ搭載基板4とは、ワイヤボンディング法により電氣的に接続される。このような構造によれば、接着材11としては、各第1の基板接続パッド9aとボンディングワイヤ12とが適正に接合される硬さを得られる材料からなる接着材を用いることが好ましい。それとともに、接着材11としては、第1のチップ搭載基板3と第2のチップ搭載基板4との接着後も、第1のチップ搭載基板3の縁部3bを除くチップ非搭載面3cと第2のチップ搭載基板4の基板搭載面4aとの間を中空状態のまま保持できる硬さを得られる材料からなる接着材を用いることが好ましい。

【0018】

基板搭載面4a上の第1のチップ搭載基板3が搭載されている領域である基板搭載領域13の外側には、第2のチップ搭載基板4を第1のチップ搭載基板3に電氣的に接続するための第3の接続部10が複数個設けられている。各第3の接続部10は、第2のチップ搭載基板4の縁部4bに設けられている。以下の説明において、これら各第3の接続部を第2の基板接続パッド10と称することとする。各第2の基板接続パッド10は、ボンディングワイヤ12を介して第1のチップ搭載基板3に設けられている各第1の基板接続パッド9aに電氣的に接続されている。第1および第2の各基板接続パッド9a、10および各ボンディングワイヤ12は、封止部材(封止樹脂)14により覆われて封止されている。

【0019】

なお、各第2の基板接続パッド10は、それぞれ第2のチップ搭載基板4の基板搭載面4a側に所定のパターンで形成された図示しない複数本の配線の一部である。また、本実施形態においては、第2のチップ搭載基板4の他方の主面は、第1のチップ搭載基板3および半導体チップ2等が搭載されない基板非搭載面(チップ非搭載面)として設定されている。この基板非搭載面側には、配線や端子(パッド)等は一切形成されていない。それ

とともに、第2のチップ搭載基板4には、それを厚さ方向に沿って貫通して基板搭載面4aと基板非搭載面とに連通する内部配線も、一切設けられていない。すなわち、本実施形態の第2のチップ搭載基板4も、第1のチップ搭載基板3と同様の片面配線基板である。

【0020】

背景技術において説明したように、従来の一般的な半導体装置101では、図6に示すように、表裏（上下）両主面上に接続パッド102、103が複数個ずつ形成された両面配線基板104に半導体チップ105が直接搭載されている。半導体チップ105は、その複数の電極パッド106を配線基板104の一方の主面上に形成されている各チップ接続パッド102に接合されて、配線基板104に搭載されている。各電極パッド106は、それぞれバンプ107を介して各チップ接続パッド102に接合されている。配線基板104の他方の主面上に形成されている各外部接続パッド103の表面上には、それぞれ半田ボール108が設けられている。半導体チップ102は、各チップ接続パッド102、各外部接続パッド103、および各半田ボール108等を介して、図示しない実装基板等の外部電気部品に電氣的に接続される。

【0021】

しかしながら、この半導体装置101のような構造を有する半導体装置では、配線基板104の微細化および多層化を図る必要が生じ易い。このため、配線基板104の製造コストが高くなり易い。ひいては、このような配線基板104を備える半導体装置101の製造コストが高くなり易い。また、前述した半導体チップ105と配線基板104との接続方法では、それらの間の熱膨張率差により、半導体チップ105と配線基板104との接続部や半導体チップ105の表面等に大きな応力が掛かり易い。特に、半導体チップ105内の図示しない層間絶縁膜に脆弱なLow-k膜を用いる場合、半導体チップ105に掛かる応力により、層間絶縁膜の剥離等の致命的な不良が生じるおそれが高い。すなわち、半導体装置102の耐久性、信頼性、性能、および品質等が劣化するおそれが高い。

【0022】

これに対して、前述した本実施形態の半導体装置1においては、チップ搭載基板3に片面配線基板を用いているので、両面配線基板を用いる場合に比べて低コストであるとともに、製造が容易である。

【0023】

また、第1のチップ搭載基板3に設けられている実装用外部端子としての各外部接続パッド9bは、半導体チップ2が良品であるか否かをテストするテストパッドを兼用することが可能である。この半導体チップ2の品質テストは、例えば半導体チップ2を第1のチップ搭載基板3に搭載した状態で行われる。テストの結果、半導体チップ2が不良品であると判断された場合には、一体化された半導体チップ2および第1のチップ搭載基板3をまとめて不良品とみなす。そして、不良品とみなされた半導体チップ2および第1のチップ搭載基板3の、第2のチップ搭載基板4への搭載を見送る。また、テストの結果、半導体チップ2が良品であると判断された場合には、一体化された半導体チップ2および第1のチップ搭載基板3をまとめて良品とみなす。そして、良品とみなされた半導体チップ2および第1のチップ搭載基板3を、第2のチップ搭載基板4へ搭載する。

【0024】

このように、多数の半導体チップ2の中から良品の半導体チップ2を予め選別した後、良品の半導体チップ2および良品の半導体チップ2が搭載された第1のチップ搭載基板3のみを第2のチップ搭載基板4に搭載する。これにより、半導体チップ2の品質テスト、ならびに半導体チップ2および第1のチップ搭載基板3の第2のチップ搭載基板4へ実装処理を効率よく行うことができる。また、良品の半導体チップ2を第1のチップ搭載基板3に搭載する際に、半導体チップ2と第1のチップ搭載基板3との接続不良などにより、一体化された半導体チップ2および第1のチップ搭載基板3がまとめて不良品となるおそれも殆ど無くすることができる。この結果、半導体装置1全体の製造効率を向上できるとともに、半導体装置1全体として高い歩留まりを得ることができる。ひいては、半導体装置1の製造コストを低減して、安価な半導体装置1を提供することができる。

【0025】

また、各外部接続パッド9bは、半導体チップ2の外周部にファンアウトされて配置されているとともに、第2のチップ搭載基板4とは非対向である。このため、チップ選別テストを行う際の電氣的な接触も容易である。

【0026】

また、半導体チップ2が第1のチップ搭載基板3にフリップチップ接続されているので、ワイヤボンディング法で必要とされるワイヤを引き回すための平面的（2次元的）なスペースが不要である。これにより、第1のチップ搭載基板3を小型化できる。ひいては、第2のチップ搭載基板4を小型化できる。また、ワイヤを引き回すための高さ（立体的なスペース、3次元的なスペース）も不要である。したがって、半導体チップ2を薄肉化および小型化することにより、第1のチップ搭載基板3と各外部接続パッド9bを介して接続される図示しない実装基板とのスペース（隙間）に半導体チップ2を収納することも容易である。この結果、半導体装置1全体をコンパクト化して、省スペース化できる。さらに、半導体チップ2から各外部接続パッド9bまでの配線距離が短くなるとともに、半導体チップ2と各外部接続パッド9bとの間のループインダクタンスが小さくなる。これにより、半導体装置1の高速作動が可能である。

【0027】

また、第1のチップ搭載基板3に設けられた各第1の基板接続パッド9aと第2のチップ搭載基板4に設けられた各第2の基板接続パッド10とをワイヤボンディング法で結線することにより、各第1の基板接続パッド9aのピッチを、従来のチップ搭載基板に設けられているヴィアプラグのピッチに比べて大幅に縮小することができる。この結果、第1のチップ搭載基板3をサイズダウン（縮小）することができる。また、各第1の基板接続パッド9aは、各チップ接続パッド7および各外部接続パッド9bと同様に、第1のチップ搭載基板3のチップ搭載面3a上に設けられている。すなわち、第1のチップ搭載基板3は片面配線基板である。このため、第1のチップ搭載基板3には、これを厚さ方向に沿って貫通するヴィアプラグ（スループラグ）を設ける必要は無い。さらに、各第2の基板接続パッド10が第2のチップ搭載基板4の縁部4bに配置されているので、第2のチップ搭載基板4のデザインルールを緩和できる。これらによっても、半導体装置1をコンパクト化および低コスト化することができる。

【0028】

また、第1のチップ搭載基板3は、その縁部3bに設けられた各第1の基板接続パッド9aの反対側（裏側）を、剛性の高い接着材（樹脂）11によって第2のチップ搭載基板4に接着されて搭載されている。これにより、各第1の基板接続パッド9aと各第2の基板接続パッド10とをワイヤボンディングする際の接続歩留まりを高めることができる。

【0029】

また、第1のチップ搭載基板3の縁部3b以外の部分と第2のチップ搭載基板4との間が中空状態となっており、半導体チップ2が第2のチップ搭載基板4に剛直に固定されていない。これにより、半導体チップ2に掛かる熱応力等の各種応力を緩和できるとともに、各種応力を半導体チップ2に集中し難くすることができる。このような作用および効果は、第1のチップ搭載基板3を薄肉化したり、第1のチップ搭載基板3を柔軟性（可撓性）の高い材料や熱膨張し難い材料で形成したりすることにより、一層高めることができる。さらに、図示は省略するが、半導体チップ2内の層間絶縁膜にいわゆるLow-k膜を用いる場合、前述した作用および効果は極めて高くなる。

【0030】

また、厚さが約0.15mm以下の薄肉の半導体チップ2を用いているので、半導体チップ2自体の柔軟性（可撓性）が高い。このため、半導体チップ2は変形し易く、ねじれたり、反ったりし易い。これにより、半導体チップ2は、例えば第1のチップ搭載基板3との間に生じる応力を、半導体チップ2自体の反り等によって緩和することができる。すなわち、半導体チップ2は、これに掛かる応力に追従し易く、応力に強い。したがって、第1のチップ搭載基板3および第2のチップ搭載基板4をフィルム状やテープ状の低応力

な材料で形成することにより、半導体装置 1 全体をフィルム状やテープ状の低応力な半導体装置として作製することができる。この結果、半導体装置 1 の用途、適用場所、あるいは適用環境等を大幅に拡大することができる。

【0031】

また、各第 1 の基板接続パッド 9 a は、第 1 のチップ搭載基板 3 の縁部 3 b に配置されている。これにより、各第 1 の基板接続パッド 9 a と各第 2 の基板接続パッド 10 とを接続する各ボンディングワイヤ 12 を第 1 のチップ搭載基板 3 の縁部 3 b に集めることができる。この結果、各第 1 の基板接続パッド 9 a、各第 2 の基板接続パッド 10、および各ボンディングワイヤ 12 の封止が容易である。また、各第 1 の基板接続パッド 9 a が第 1 のチップ搭載基板 3 の縁部 3 b に配置されているので、第 1 のチップ搭載基板 3 のデザインルールを緩和できる。これに伴って、各第 1 の基板接続パッド 9 a の配置の自由度を高めることができるとともに、各第 1 の基板接続パッド 9 a の個数も増大させることができる。

【0032】

また、各第 2 の基板接続パッド 10 は、第 2 のチップ搭載基板 4 の基板搭載領域 13 の外周部に配置されている。これにより、第 1 のチップ搭載基板 3 に貫通孔を設けることなく、各ボンディングワイヤ 12 を介して各第 1 の基板接続パッド 9 a と各第 2 の基板接続パッド 10 とを電氣的に接続することができる。この結果、第 1 のチップ搭載基板 3 への穴あけ加工コストを削減することができる。それとともに、穴形成による第 1 のチップ搭載基板 3 の配線自由度の制約を無くすことができる。また、各第 2 の基板接続パッド 10 が第 2 のチップ搭載基板 4 の縁部 4 b に配置されているので、第 2 のチップ搭載基板 4 のデザインルールを緩和できる。これに伴って、各第 2 の基板接続パッド 10 の配置の自由度を高めることができるとともに、各第 2 の基板接続パッド 10 の個数も増大させることができる。

【0033】

さらに、半導体チップ 2 が半導体装置 1 の中央部、すなわち対称中心に位置するように設けられている。これにより、半導体装置 1 に外部からの応力が働いても、その応力を半導体装置 1 全体で均一に分散させたり、逃がしたり、あるいは吸収したりすることができる。この結果、半導体チップ 2 に応力が偏って集中するおそれを殆ど無くすることができる。この結果、半導体チップ 2、ひいては半導体装置 1 全体の耐久性、信頼性、性能、および品質等を向上させることができる。

【0034】

以上説明したように、この第 1 実施形態によれば、半導体チップ 2、各チップ接続パッド 7、各第 1 の基板接続パッド 9 a、および各外部接続パッド 9 b を、第 1 のチップ搭載基板 3 のチップ搭載面 3 a 側に設けている。これにより、第 1 のチップ搭載基板 3 に片面配線基板を使用することができるので、両面配線基板を用いる場合に比べて製造コストを抑えることができる。また、第 1 のチップ搭載基板 3 のチップ搭載領域 6 の反対側と第 2 のチップ搭載基板 4 との間を中空にしているので、第 1 のチップ搭載基板 3 および半導体チップ 2 が曲がり易く、応力が緩和され易い。これにより、半導体チップ 2 および第 1 のチップ搭載基板 3 を第 2 のチップ搭載基板 4 に実装した後の、応力による半導体チップ 2 内の膜剥がれ等を低減することができる。

【0035】

すなわち、本実施形態に係る半導体装置 1 によれば、半導体チップ 2 が直接または間接的に搭載される第 1 および第 2 の基材 3、4 の配線構造、および各基材 3、4 間の接合方法が改良されているので、耐久性、信頼性、性能、および品質等が向上されているとともに、低コストで容易に製造できる。

【0036】

(第 2 の実施の形態)

次に、本発明に係る第 2 実施形態を図 2 を参照しつつ説明する。図 2 は、本実施形態に係る半導体装置を示す断面図である。なお、前述した第 1 実施形態と同一部分には同一符

号を付して、その詳しい説明を省略する。

【0037】

本実施形態は、半導体チップが第1のチップ搭載基板にワイヤボンディング法により接続されて搭載されている点が、第1実施形態と異なっている。

【0038】

図2に示すように、本実施形態の半導体装置21においては、半導体チップ2がその素子形成面2aを第1のチップ搭載基板3のチップ搭載面3aとは反対側に向けられて、第1のチップ搭載基板3に搭載されている。半導体チップ2は、チップマウント用の接着材22によりチップ搭載面3aのチップ搭載領域6に接着されている。各チップ接続パッド7は、チップ搭載領域6と各外部接続パッド9bが設けられている領域との間に配置されている。半導体チップ2の各電極パッド5は、複数本のチップ接続用のボンディングワイヤ23により各チップ接続パッド7に電氣的に接続されている。このように、本実施形態においては、半導体チップ2は、第1のチップ搭載基板3にワイヤボンディング法により接続されている。半導体チップ2は、その素子形成面2aを第1のチップ搭載基板3のチップ搭載面3aに対向しない向きに向けられた、いわゆるフェイスアップ状態で第1のチップ搭載基板3に搭載されている。

【0039】

以上説明したように、この第2実施形態によれば、前述した第1実施形態と同様の効果を得ることができる。また、半導体チップ2をワイヤボンディング法により第1のチップ搭載基板3に搭載しているため、各チップ接続パッド7間のピッチを第1実施形態よりも広げることができる。これにより、第1のチップ搭載基板3のデザインルールを緩和することができる。ひいては、半導体装置21の製造コストをより低減できる。

【0040】

(第3の実施の形態)

次に、本発明に係る第3実施形態を図3を参照しつつ説明する。図3は、実施形態に係る半導体装置を半導体チップ側から臨んで示す平面図である。なお、前述した第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0041】

本実施形態は、各外部接続パッドの上にさらに導電層が設けられている点が、第1実施形態と異なっている。

【0042】

図3に示すように、本実施形態の半導体装置31においては、各外部接続パッド9bの表面上に、それぞれ少なくとも1層からなる導電層32が設けられている。各導電層32は、少なくともその表層部が半田あるいは金(Au)等の導電性が高く、かつ、劣化し難い金属により形成されている。

【0043】

以上説明したように、この第3実施形態によれば、前述した第1および第2の各実施形態と同様の効果を得ることができる。また、各外部接続パッド9bの表面上に、少なくとも表層部が半田あるいは金(Au)等により形成された導電層(導電膜、金属膜)32が設けられている。これにより、半導体装置31を、ランドグリッドアレイパッケージ(Land Grid Array Package: LGA P)として図示しない実装基板等に実装することができる。

【0044】

(第4の実施の形態)

次に、本発明に係る第4実施形態を図4を参照しつつ説明する。図4は、本実施形態に係る半導体装置を示す断面図である。なお、前述した第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0045】

本実施形態は、第2のチップ搭載基板に搭載される半導体素子の個数および搭載位置、第1のチップ搭載基板と第2のチップ搭載基板との接続状態、および各外部接続パッドの

構成が、第1実施形態と異なっている。

【0046】

図4に示すように、本実施形態の半導体装置41においては、第1のチップ搭載基板3と第2のチップ搭載基板42との間に樹脂性の接着材43が設けられている。より詳しくは、第1のチップ搭載基板3のチップ非搭載面3cのうちチップ搭載領域6の反対側（裏側）に相当する領域と、第2のチップ搭載基板42の基板搭載面42aとの間に、接着材43が設けられている。この接着材43は、例えばエラストマー等の弾性率が約3.2MPa以下の樹脂からなる。すなわち、本実施形態においては、第1のチップ搭載基板3は、その縁部3cを硬い接着材11で、また、その中央部を柔らかい接着材43で、それぞれ第2のチップ搭載基板42に接着されている。第1のチップ搭載基板3と第2のチップ搭載基板42との間うち、第1のチップ搭載基板3の中央部および縁部3cを除く領域に対向する領域は、第1実施形態と同様に中空状態に設定されている。

【0047】

第2のチップ搭載基板42の基板搭載面42aの反対側の主面上には、第1のチップ搭載基板3に直接搭載される半導体チップ2とは別に、他の半導体チップ（電気部品）44が少なくとも1個直接搭載される。この半導体チップ44と第1のチップ搭載基板3に直接搭載される半導体チップ2とを区別するために、第1のチップ搭載基板3に直接搭載される半導体チップ2を第1の半導体チップ2と称するとともに、第2のチップ搭載基板42に直接搭載される半導体チップ44を第2の半導体チップ44と称することとする。また、以下の説明において、第1のチップ搭載基板3のチップ搭載面3aを第1のチップ搭載面3aと称するとともに、第2のチップ搭載基板42の第2の半導体チップ44が搭載される側の主面を第2のチップ搭載面42cと称することとする。本実施形態においては、第2のチップ搭載基板42の第2のチップ搭載面42c上に、第2の半導体チップ44が2個搭載される。

【0048】

また、第2のチップ搭載基板42の第2のチップ搭載面42c上には、第4の接続部として、各第2の半導体チップ44が電氣的に接続されるチップ接続パッド45が複数個設けられている。これら各チップ接続パッド45と第1のチップ搭載基板3に設けられている各チップ接続パッド7とを区別するために、第1のチップ搭載基板3の各チップ接続パッド7を第1のチップ接続パッド7と称するとともに、第2のチップ搭載基板42の各チップ接続パッド45を第2のチップ接続パッド45と称することとする。各第2のチップ接続パッド45は、各第2の半導体チップ44が搭載される位置、ならびに各第2の半導体チップ44の素子形成面44aに設けられている複数個の電極パッド46の位置および個数に対応して第2のチップ搭載面42c上に設けられている。より詳しくは、各第2のチップ接続パッド45は、第2のチップ搭載面42cのうち、基板搭載面42aの接着材43が設けられている領域の反対側（裏側）に相当する領域の外側に設けられている。換言すれば、各第2のチップ接続パッド45は、第2のチップ搭載面42cのうち、第1のチップ搭載基板3のチップ搭載領域6に対向する領域の外側に設けられている。

【0049】

したがって、各第2の半導体チップ44は、第1のチップ搭載基板3と第2のチップ搭載基板42との積層方向において、第1の半導体チップ2および接着材43と重ならない位置で第2のチップ搭載基板42に搭載される。各第2の半導体チップ44の各電極パッド46と第2のチップ搭載基板42の各第2のチップ接続パッド45とは、導電性を有する接合部材（半田バンプ）47を介して接合されている。すなわち、各第2の半導体チップ44は、半導体装置41の厚さ方向において第1の半導体チップ2および接着材43と重ならない位置で、各第2のチップ接続パッド45にフリップチップ接続されて第2のチップ搭載基板42の第2のチップ搭載面42c上に搭載されている。これら第2のチップ搭載面42c上の各第2の半導体チップ44が搭載される領域と第1のチップ搭載基板3のチップ搭載領域6とを区別するために、第1のチップ搭載基板3のチップ搭載領域6を第1のチップ搭載領域6と称するとともに、第2のチップ搭載基板42の各第2の半導体

チップ44が搭載される領域を第2のチップ搭載領域48と称することとする。

【0050】

なお、各第2のチップ接続パッド45は、それぞれ第2のチップ搭載基板42の第2のチップ搭載面42c側に所定のパターンで形成された図示しない複数本の配線の一部である。また、図示は省略するが、第2のチップ搭載基板42の内部には、それを厚さ方向に沿って貫通して基板搭載面42aと第2のチップ搭載面42cとに連通するスループラグやヴィアプラグ等の内部配線（貫通配線）が設けられている。これにより、例えば第2のチップ搭載基板42の第2のチップ搭載面42c上に設けられている各第2のチップ接続パッド45のうちの幾つかと、基板搭載面42aの縁部42b上に設けられている各第2の基板接続パッド10のうちの幾つかとが、所定の経路で電氣的に接続される。すなわち、各第2の半導体チップ44が、第1のチップ搭載基板3の第1のチップ搭載面3a上に設けられている各外部接続パッド9bを介して、半導体装置41の外部に電氣的に接続される。このように、本実施形態の第2のチップ搭載基板42は、第1のチップ搭載基板3および第1実施形態の第2のチップ搭載基板4と異なり、両面配線基板である。

【0051】

さらに、各外部接続パッド9bの上には、半田ボール49がそれぞれ1個ずつ設けられている。

【0052】

以上説明したように、この第4実施形態によれば、前述した第1～第3の各実施形態と同様の効果を得ることができる。また、第2のチップ搭載基板42の第2のチップ搭載面42c上に各第2のチップ接続パッド45を設け、第2のチップ搭載基板42を両面配線基板としている。これにより、第2のチップ搭載基板42の第2のチップ搭載面42c側のスペースを有効利用することができる。例えば、前述したように、第2のチップ搭載面42c上に各第2の半導体チップ44を搭載して、本実施形態の半導体装置41の実装密度を高めることができる。なお、各第2のチップ接続パッド45には、第2の半導体チップ44以外にも、受動部品、MEMS部品、あるいは光部品等の様々な電気部品を載せても構わないのはもちろんである。このような場合でも、高密度実装が可能となることは勿論である。

【0053】

また、第1のチップ搭載基板3のチップ搭載領域6の反対側の領域と第2のチップ搭載基板42との間には、弾性率が約3.2MPa以下からなる接着材11よりも柔らかい接着材43が設けられている。これにより、第1のチップ搭載基板3と第2のチップ搭載基板42との密着性を向上させつつ、第1実施形態と同様に第1のチップ搭載基板3および第1の半導体チップ2の柔軟性（変形容易性）を保持できる。すなわち、半導体装置41の耐久性、信頼性、性能、および品質等がより向上されている。

【0054】

また、各外部接続パッド9bの表面上に半田ボール49がそれぞれ1個ずつ設けられている。これにより、半導体装置41をボールグリッドアレイパッケージ（Ball Grid Array Package：BGAP）として、図示しない実装基板等に実装することができる。

【0055】

さらに、各第2の半導体チップ44は、半導体装置41の厚さ方向において第1の半導体チップ2および接着材43と重ならない第2のチップ搭載領域48内に搭載されている。これにより、第1の半導体チップ2および第1のチップ搭載基板3の応力緩和能力を犠牲にすること無く、半導体装置41の実装密度を向上させることができる。

【0056】

このように、第2のチップ搭載基板42の第2のチップ搭載面42c上に各第2のチップ接続パッド45を設けることで、第2のチップ搭載基板42に第1の半導体チップ2以外の外部装置を実装することができる。すなわち、第2のチップ搭載基板42を両面配線基板とすることで、半導体装置41の実装密度を向上させることができる。これにより、例えばチップ混載型の半導体装置を容易に製造することができる。また、第1のチップ搭

載基板 3 のチップ搭載領域 6 の反対側の領域と第 2 のチップ搭載基板 4 2 との間に柔らかい接着材 4 3 を設けることにより、第 1 実施形態と同様の応力緩和能力を保持できる。それとともに、第 1 の半導体チップ 2 および第 1 のチップ搭載基板 3 を第 2 のチップ搭載基板 4 2 に実装した後の、応力による第 1 の半導体チップ 2 内の膜剥がれ等を低減することができる。

【0057】

(第 5 の実施の形態)

次に、本発明に係る第 5 実施形態を図 5 を参照しつつ説明する。図 5 は、実施形態に係る半導体装置を半導体チップ側から臨んで示す平面図である。なお、前述した第 1 実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0058】

本実施形態は、第 1 および第 2 の各基板接続パッドがそれぞれ第 1 および第 2 の各チップ搭載基板の最外周部に配置されている点が、第 1 実施形態と異なっている。

【0059】

図 5 に示すように、本実施形態の半導体装置 5 1 においては、各第 1 の基板接続パッド 9 a が第 1 のチップ搭載基板 3 のチップ搭載面 3 a の最外周部に配置されている。それとともに、各第 2 の基板接続パッド 1 0 が第 2 のチップ搭載基板 4 の基板搭載面 4 a の最外周部に配置されている。

【0060】

以上説明したように、この第 5 実施形態によれば、前述した第 1 ～第 3 の各実施形態と同様の効果を得ることができる。また、各第 1 の基板接続パッド 9 a が第 1 のチップ搭載基板 3 のチップ搭載面 3 a の最外周部に配置されているとともに、各第 2 の基板接続パッド 1 0 が第 2 のチップ搭載基板 4 の基板搭載面 4 a の最外周部に配置されているので、各第 1 の基板接続パッド 9 a 間および各第 2 の基板接続パッド 1 0 間のパッドピッチを大幅に大きくすることができる。これにより、第 1 および第 2 の各チップ搭載基板 3, 4 のデザインルールを大幅に緩和して、配線デザインの自由度を大幅に高めることができる。これに伴って、第 1 および第 2 の各基板接続パッド 9 a, 1 0 のそれぞれの配置の自由度を大幅に高めることができるとともに、各基板接続パッド 9 a, 1 0 の個数も大幅に増大させることができる。すなわち、本実施形態の半導体装置 5 1 は、前述した第 1 ～第 4 の各実施形態の半導体装置 1, 2 1, 3 1, 4 1, 5 1 に比べて、配線デザインの自由度、第 1 および第 2 の各基板接続パッド 9 a, 1 0 のそれぞれの配置の自由度、および各基板接続パッド 9 a, 1 0 の個数等の設定範囲が大幅に向上されている。

【0061】

なお、本発明に係る半導体装置は、前述した第 1 ～第 5 の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは製造工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

【0062】

例えば、第 4 実施形態の半導体装置 4 1 において、各第 2 の半導体チップ 4 4 を、ワイヤボンディング法により第 2 のチップ搭載基板 4 2 に搭載しても構わない。あるいは、複数個の半導体装置 4 1 について、各第 2 のチップ接続パッド 4 5 を各半田ボール 4 9 (各外部接続パッド 9 b) に対応させて設ける。そして、ある半導体装置 4 1 の各第 2 のチップ接続パッド 4 5 に他の半導体装置 4 1 の各半田ボール 4 9 を接合する。このようにして、各半導体装置 4 1 の第 2 のチップ搭載基板 4 の第 2 のチップ搭載面 4 2 c 上に、他の各半導体装置 4 1 を搭載する。これにより、複数個の半導体装置 4 1 からなるチップ積層型の半導体装置 (マルチチップパッケージ、マルチチップモジュール) を製造しても構わない。

【0063】

また、第 4 実施形態の半導体装置 4 1 において、第 1 のチップ搭載基板 3 と第 2 のチップ搭載基板 4 2 との間に、必ずしも約 3. 2 MPa 以下の樹脂からなる接着剤 4 3 を設け

る必要はない。第1～第3の各実施形態の半導体装置1, 21, 31と同様に、第1のチップ搭載基板3と第2のチップ搭載基板42との間を、第1のチップ搭載基板3の縁部3bと対向する部分を除いて中空状態に設定しても構わない。また、第1～第3の各実施形態の半導体装置1, 21, 31において、第4実施形態の半導体装置41と同様に、第1のチップ搭載基板3と第2のチップ搭載基板42との間に約3.2MPa以下の樹脂からなる接着剤43を設けても構わない。

【0064】

また、第3実施形態の半導体装置31においては、各外部接続パッド9bの端面のみを覆って導電層32を設けられているが、これに限定されない。各外部接続パッド9bの表面全体を覆って導電層32を設けても構わない。このようにすれば、各外部接続パッド9bの耐久性をより向上できるとともに、それらの接続容易性もより向上できる。

【0065】

また、前述した第1～第5の各実施形態において、半導体チップ2を薄肉に形成するだけでなく、第1のチップ搭載基板3および第2のチップ搭載基板4, 42を薄肉形状かつ柔軟性（可撓性）を有するフレキシブル基材として形成するとよい。たとえば、第1のチップ搭載基板3および第2のチップ搭載基板4, 42を、ガラスエポキシ、ポリイミド、BTレジン、あるいはPCB等を用いて、テープ状あるいはフィルム状に形成するとよい。これにより、第1の半導体チップ2および第2の半導体チップ44のみならず、各半導体装置1, 21, 31, 41, 51全体の応力緩和能力を極めて向上させることができる。この結果、各半導体装置1, 21, 31, 41, 51の耐久性、信頼性、性能、および品質等を極めて向上させることができる。それとともに、各半導体装置1, 21, 31, 41, 51の軽量化、コンパクト化、および省スペース化を極めて向上させることができる。この結果、半導体装置1の汎用性を極めて向上させることができる。

【0066】

さらに、各半導体装置1, 21, 31, 41, 51を封止樹脂により封止する際には、封止樹脂を各半導体装置1, 21, 31, 41, 51の中心に対して対称性を有するように設けるとよい。すなわち、少なくとも第1の半導体チップ2が対称中心となるように封止樹脂を設けるとよい。これにより、封止樹脂によりパッケージされた後の各半導体装置1, 21, 31, 41, 51に応力が働いても、その応力をパッケージ全体で均一に分散させたり、逃がしたり、あるいは吸収したりすることができる。この結果、第1の半導体チップ2をはじめとする各半導体装置1, 21, 31, 41, 51内の特定の箇所に応力が偏って集中するおそれを殆ど無くすることができる。この結果、各半導体装置1, 21, 31, 41, 51の耐久性、信頼性、性能、および品質等を極めて向上させることができる。これは、接着材11, 43についても同様である。

【図面の簡単な説明】

【0067】

【図1】 第1実施形態に係る半導体装置を示す断面図。

【図2】 第2実施形態に係る半導体装置を示す断面図。

【図3】 第3実施形態に係る半導体装置を示す断面図。

【図4】 第4実施形態に係る半導体装置を示す断面図。

【図5】 第5実施形態に係る半導体装置を半導体チップ側から臨んで示す平面図。

【図6】 第1実施形態に係る半導体装置に対する比較例としての背景技術に係る半導体装置を示す断面図。

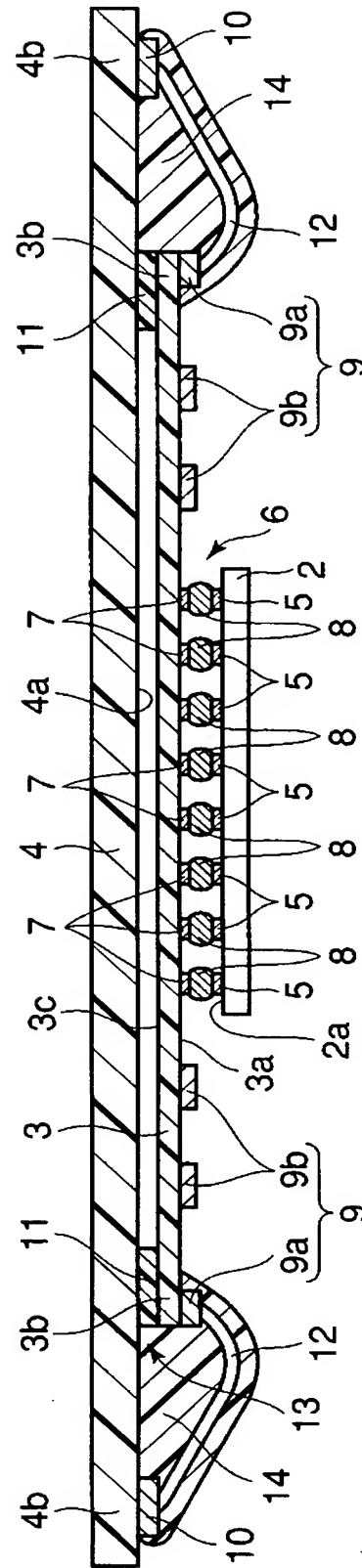
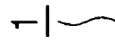
【符号の説明】

【0068】

1, 21, 31, 41, 51…半導体装置、2…半導体チップ（第1の半導体チップ、半導体素子）、3…チップ搭載基板（第1のチップ搭載基板、第1の基材）、3a…チップ搭載面（第1のチップ搭載面、半導体素子が搭載される側の主面）、3b…チップ搭載基板の縁部（第1の基材の縁部）、3c…チップ非搭載面（半導体素子が搭載される側の主面とは反対側の主面）、4, 42…第2のチップ搭載基板（第2の基材）、4a…基板搭

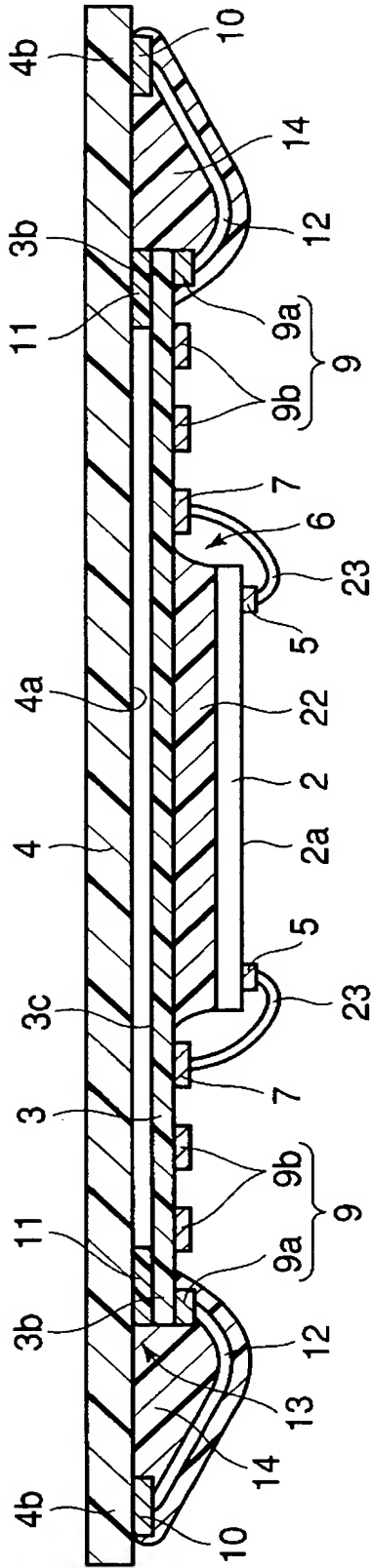
載面（第 1 の基材に対向する側の主面）、6…チップ搭載領域（第 1 のチップ搭載領域、半導体素子が搭載される領域）、7…チップ接続パッド（第 1 のチップ接続パッド、第 1 の接続部）、9…第 2 の接続部、9 a…第 1 の基板接続パッド（第 2 の接続部）、9 b…外部接続パッド（外部端子、第 2 の接続部）、1 0…第 2 の基板接続パッド（第 3 の接続部）、1 3…基板搭載領域（第 1 の基材が搭載される領域）、4 3…接着材（弾性率が 3 . 2 M P a 以下の接着材）

【書類名】 図面
【図 1】



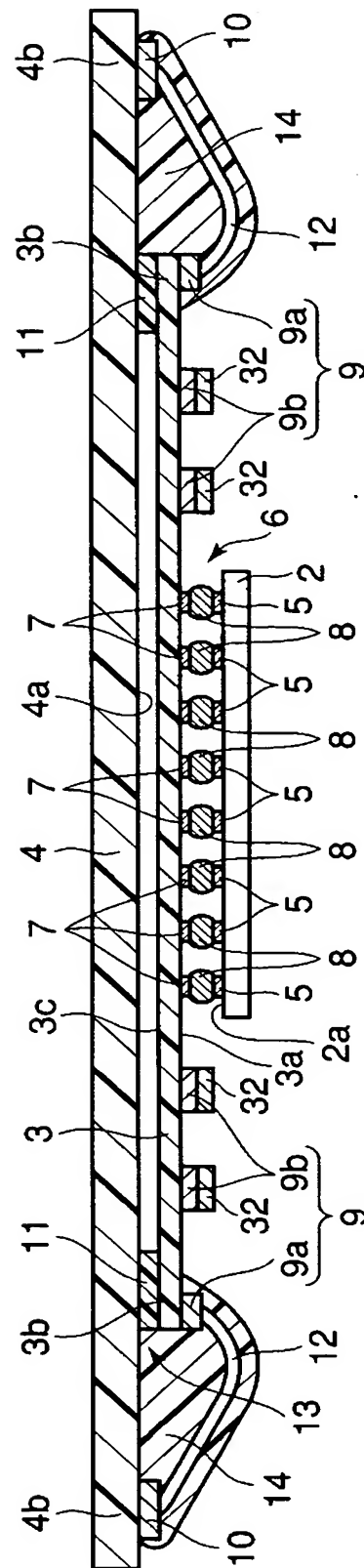
【図 2】

21

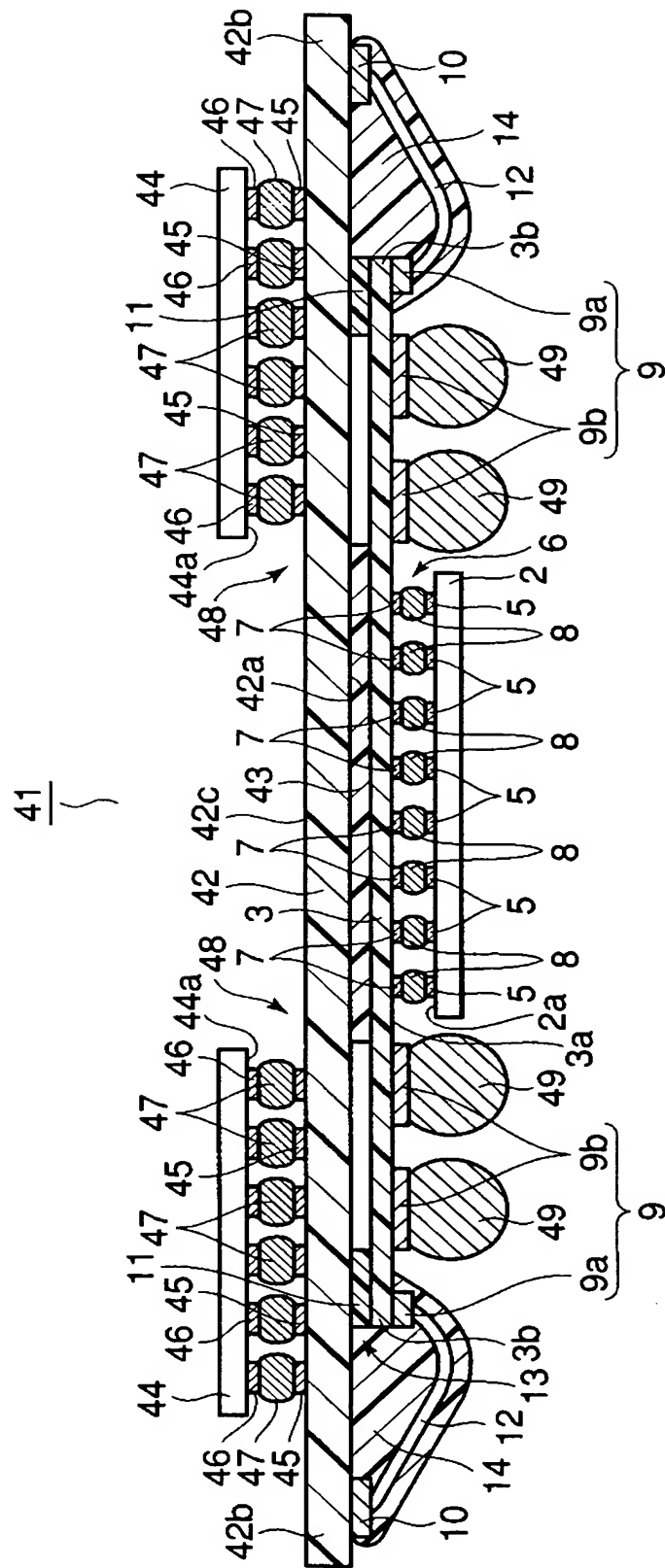


【図 3】

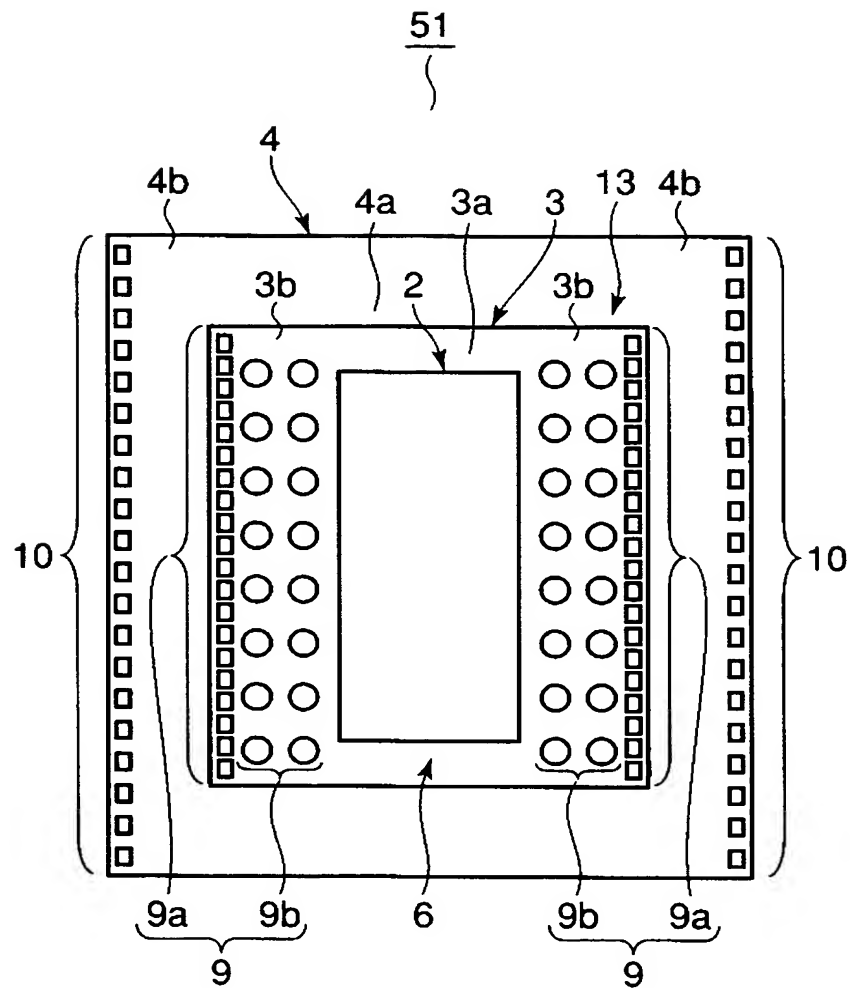
31



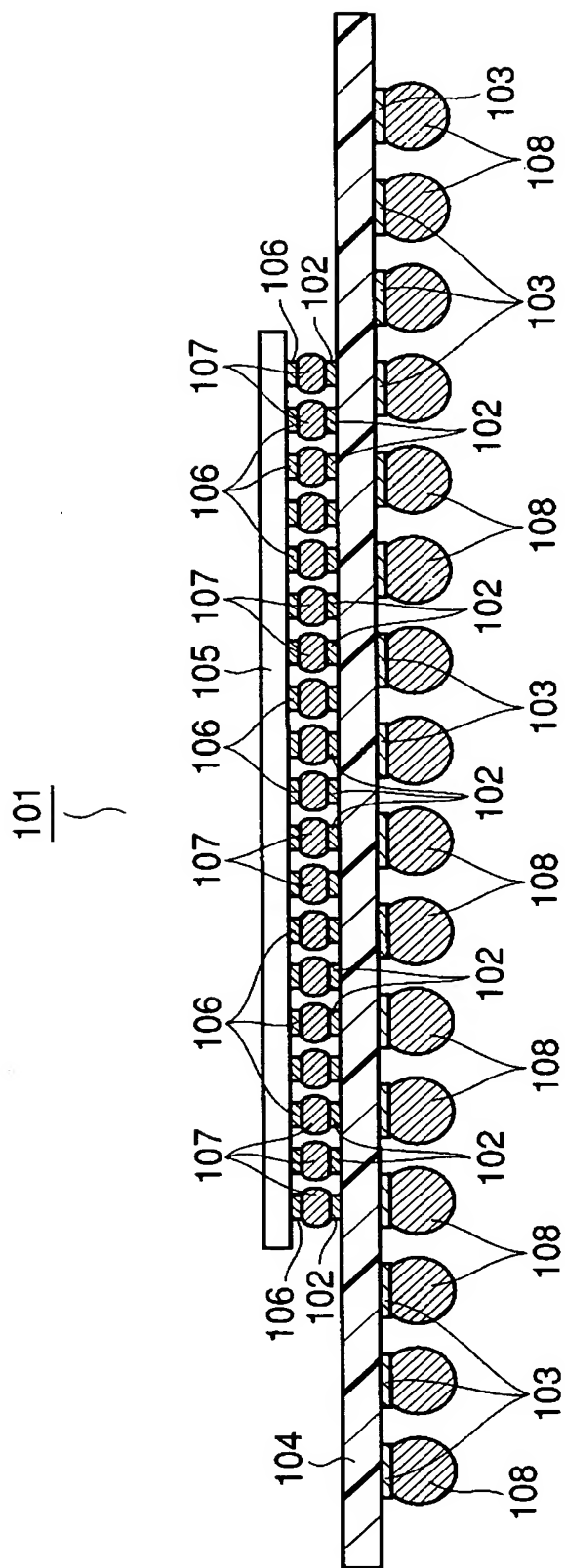
【図 4】



【図 5】



【図 6】



【書類名】要約書

【要約】

【課題】半導体素子が搭載される基材の配線構造および各基材間の接合方法を改良して耐久性等を向上するとともに、低コストで容易に製造できる半導体装置を提供する。

【解決手段】第1の基材3の半導体素子2が搭載される側の主面3aに半導体素子2が電氣的に接続される第1の接続部7が複数個設けられている。主面3a上の半導体素子2が搭載される領域6の外側には、第2の接続部9が複数個設けられている。基材3の半導体素子2が搭載される側とは反対側の主面3cに対向して、第2の基材4が配置されている。基材3はその縁部3cを基材4に接着されて搭載されている。基材4の基材3に対向する側の主面4aの、基材3が搭載される領域13の外側には、各第2の接続部9のうちの少なくとも1個が電氣的に接続される第3の接続部10が複数個設けられている。

【選択図】 図1

特願 2 0 0 4 - 0 0 3 5 6 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝